

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-75036

(43)公開日 平成5年(1993)3月26日

(51)IntCl ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/088				
27/04	C	8427-4M		
H 0 3 B 5/32	A	8321-5 J		
	H	8321-5 J		
		7342-4M		
			H 0 1 L 27/ 08	1 0 2 A
			審査請求 未請求	請求項の数3(全 11 頁)

(21)出願番号 特願平3-261284

(22)出願日 平成3年(1991)9月13日

(71)出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72)発明者 深山 博行

埼玉県所沢市大字下富字武野840番地 シ
チズン時計株式会社技術研究所内

(72)発明者 桜井 保宏

埼玉県所沢市大字下富字武野840番地 シ
チズン時計株式会社技術研究所内

(72)発明者 忍足 光史

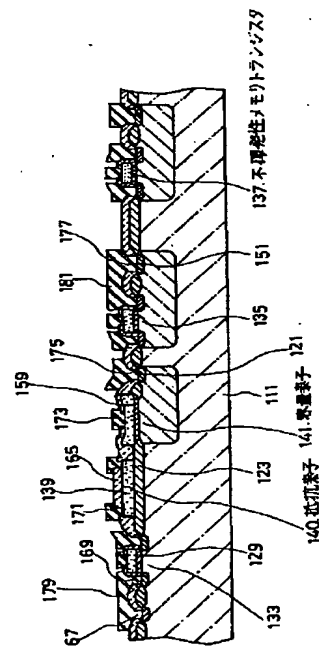
埼玉県所沢市大字下富字武野840番地 シ
チズン時計株式会社技術研究所内

(54)【発明の名称】 半導体装置の製造方法および半導体装置

(57)【要約】

【構成】 半導体基板111の表面にフィールド酸化膜123を形成後、フィールド酸化膜123の非形成領域にシリコン酸化膜129を形成し、次に多結晶シリコン膜131を全面に形成し、この多結晶シリコン膜をエッチング除去して第1の島状多結晶シリコン膜139と、第2の島状多結晶シリコン膜159とを形成し、次に第1の島状多結晶シリコン膜に、選択的に不純物を導入して抵抗素子140を形成し、さらに第2の島状多結晶シリコン膜と半導体基板とをそれぞれ上下の電極として用い、この第2の島状多結晶シリコン膜下のシリコン酸化膜を誘電膜として用いる容量素子141を形成する。

【効果】 従来多数の部品から構成していた温度補償型発振回路を、1つの半導体チップに形成できる。この結果、構成が簡単で、さらに占有する面積および体積を小さくすることができる。



【特許請求の範囲】

【請求項1】 発振回路と該発振回路の発振周波数の計数を行う計数回路とからなる発振計数回路を2組備え、この第1の発振回路と第2の発振回路とは発振周波数の温度特性が相異なるように構成し、この第1の発振計数回路の出力により第2の発振計数回路の計数動作を制御して温度に対応したデジタル出力を発生する温度検出回路と、該温度検出回路のデジタル出力によるアドレッシングに応じたデータを出力するメモリと、該メモリの出力データを受けて開閉するスイッチ群と容量素子との直列接続を複数個並列に接続したスイッチトキャパシタ回路を含む水晶発振回路とで構成し、前記スイッチ群の開閉の組合わせて前記スイッチトキャパシタ回路の容量値を制御することにより前記水晶発振回路の発振周波数を調整する温度補償型発振回路を備え、前記第1の発振計数回路と第2の発振計数回路と前記メモリと前記スイッチトキャパシタ回路とを一個の半導体チップ上に形成した半導体装置の製造方法は、半導体基板表面にフィールド酸化膜を形成する工程と、該フィールド酸化膜の非形成領域にシリコン酸化膜を形成する工程と、該シリコン酸化膜および前記フィールド酸化膜の上に多結晶シリコン膜を形成する工程と、該多結晶シリコン膜を選択的にエッチング除去して、抵抗素子を構成する第1の島状多結晶シリコン膜を形成すると同時に、前記半導体基板表面に形成した前記シリコン酸化膜の上に容量素子の一方の電極を構成する第2の島状多結晶シリコン膜を形成する工程と、前記抵抗素子を構成する前記第1の島状多結晶シリコン膜に選択的に不純物を導入する工程とを有する半導体装置の製造方法。

【請求項2】 発振回路と該発振回路の発振周波数の計数を行う計数回路とからなる発振計数回路を2組備え、第1の発振回路と第2の発振回路とは発振周波数の温度特性が相異なるように構成し、第1の発振計数回路の出力により第2の発振計数回路の計数動作を制御して温度に対応したデジタル出力を発生する温度検出回路と、該温度検出回路のデジタル出力によるアドレッシングに応じたデータを出力するメモリと、該メモリの出力データを受けて開閉するスイッチ群と容量素子との直列接続を複数個並列に接続したスイッチトキャパシタ回路を含む水晶発振回路とで構成して、前記スイッチ群の開閉の組合わせて前記スイッチトキャパシタ回路の容量値を制御することにより前記水晶発振回路の発振周波数を調整する温度補償型発振回路とを備え、前記第1の発振計数回路と第2の発振計数回路と、前記メモリと、前記スイッチトキャパシタ回路とを一個の半導体チップ上に設けたことを特徴とする半導体装置。

【請求項3】 請求項2に記載の温度補償型発振回路は、スイッチトキャパシタ回路を含む水晶発振回路の発振出力を直接、もしくはこの水晶発振回路の発振出力を分周回路で分周して第1の計数回路に帰還入力させると

とを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法と半導体装置の構成に関し、とくに発振回路に適用し、温度変化に対して精度の高い発振周波数を得る発振回路を形成した半導体装置の製造方法と半導体装置の構成とに関するものである。

【0002】

【従来の技術】発振回路を設ける場合その形式には種々のものがあるが、安定で高い精度が要求される用途では、水晶振動子を使った発振回路（以下水晶発振回路と記す）が広く用いられている。この水晶発振回路は、水晶振動子の固有振動数により発振周波数が決まるので、発振回路の種々な因子の影響を受け難い。このため、他の発振回路に比較して周波数精度が高く、かつ安定な発振特性を得ることができる。したがって特に通信装置等の発振回路には、水晶発振回路が広く用いられている。

【0003】しかしながら水晶振動子の固有振動数は温度により変化する。このため、発振回路が周囲温度の変化の影響を受ける場合には5ppmから50ppm程度の発振周波数の変動を生じる。

【0004】この周囲温度の変化による発振周波数の変動を除去するためには、温度補償を行なうことが必要になる。この温度補償の動作原理と、従来例における温度補償型発振回路の構成とを、温度補償型の発振回路の回路図を示す、図10を用いて説明する。

【0005】定電流源301はサーミスタ302に接続し、この定電流源301により、サーミスタ302に一定電流を供給する。サーミスタ302は、サーミスタ302の抵抗値の変化をサーミスタ302の両端の電圧値の変化に変換する。

【0006】サーミスタ302は一種の抵抗体であるが、温度によりその抵抗値がある一定の規則に従って変化する。したがって前述の説明のように、定電流源301とサーミスタ302との構成によって、温度変化を電圧変化として取り出すことができる。

【0007】このサーミスタ302によって取り出した電圧変化は、アナログ／デジタルコンバータ（以下A/Dコンバータと記載する）303に入力し、A/Dコンバータ303によってデジタル出力に変換する。このA/Dコンバータ303の出力は、不揮発性メモリトランジスタ、あるいはマスクROMにより構成するメモリ209のアドレスバス207に出力する。

【0008】メモリ209は、A/Dコンバータ303のデジタル出力を受けてアドレッシングし、そのメモリ209のアドレスに格納されているデータを、メモリ209のデータバス217に出力する。

【0009】データバス217は、デジタル／アナログ

コンバータ（以下D/Aコンバータと記す）307のデジタル入力に接続する。D/Aコンバータ307は、データバス217に出力したメモリ209のデジタル出力を受けて、アナログ電圧を出力する。

【0010】このD/Aコンバータ307のアナログ出力端子は、バリキャップダイオード309に接続する。すなわちD/Aコンバータ307のアナログ電圧出力は、バリキャップダイオード309に印加して、このバリキャップダイオード309のコンデンサ容量値を変化させる。

【0011】一方、水晶発振回路314は、水晶振動子213と、インバータ212と、帰還抵抗211と、コンデンサ308と、コンデンサ313と、バリキャップダイオード309とから構成している。

【0012】さらにコンデンサ308とバリキャップダイオード309とは、互いに直列に接続し、コンデンサ313と共に、それぞれ発振コンデンサを構成している。

【0013】水晶発振回路314は発振コンデンサの容量値の変化によって、その発振周波数が変化する。このため、バリキャップダイオード309の容量値変化により、水晶発振回路314の発振周波数を変化させることができる。

【0014】したがって、前述の温度補償型発振回路においては、水晶発振回路314の発振周波数の温度による変化分を補正するように、メモリ209にデータを書き込んでおけば、サーミスタ302によって検出した温度情報によって、水晶発振回路314の発振周波数の温度による変化分を打ち消すことが可能となる。このため、水晶発振回路314の発振周波数は、温度による影響を受けないで常に一定となる。

【0015】

【発明が解決しようとする課題】しかしながら、従来の温度補償型発振回路においては、温度検出装置としてのサーミスタ302と、温度情報のデジタル出力を得るための装置としてA/Dコンバータ303と、さらに発振周波数の温度による変化分を補正するためのメモリ209と、そしてさらにデジタル入力をアナログ電圧に変換するための装置としてD/Aコンバータ307と、さらにそのうえ水晶発振回路314の発振コンデンサの容量値を調節する装置としてバリキャップダイオード309と、またさらにサーミスタ302に定電流を供給するための定電流源301など、多数の構成部品を必要とする。

【0016】そのうえ、これら上述の部品は、それぞれ異なる材料から作られていて、必然的に別々の構成部品となる。このため、従来の温度補償型発振回路は部品点数が多く、非常に複雑で、占有する面積、体積も大きくなるという問題がある。

【0017】本発明の目的は、上記した従来の課題を解

決し、温度検出装置としてのサーミスタと、デジタル出力を得るためのA/Dコンバータと、アナログ電圧出力を得るためのD/Aコンバータと、発振周波数を調整するためのバリキャップダイオードとが共に不要で、温度検出回路と不揮発性メモリとスイッチトキャパシタ回路とから構成し、かつこれらの構成要素のすべてを一個の半導体チップ上に形成して、検出した温度情報に基づき発振回路の発振周波数を調整し、従来よりもはるかに簡単な構成で、広い温度範囲において高い発振周波数精度を達成することが可能な半導体装置の製造方法、および半導体装置を提供することにある。

【0018】

【課題を解決するための手段】上記目的を達成するために、本発明においては下記記載の手段を採用する。

【0019】本発明の半導体装置の製造方法は、発振回路とこの発振回路の発振周波数の計数を行う計数回路とからなる発振計数回路を2組備え、第1の発振回路と第2の発振回路とは発振周波数の温度特性が相異なるように構成し、第1の発振計数回路の出力により第2の発振計数回路の計数動作を制御して温度に対応したデジタル出力を発生する温度検出回路と、この温度検出回路のデジタル出力によるアドレッシングに応じたデータを出力するメモリと、このメモリの出力データを受けて開閉するスイッチ群と容量素子との直列接続を複数個並列に接続したスイッチトキャパシタ回路を含む水晶発振回路とで構成し、スイッチ群の開閉の組合わせでスイッチトキャパシタ回路の容量値を制御することにより水晶発振回路の発振周波数を調整する温度補償型発振回路を備え、第1の発振計数回路と第2の発振計数回路とメモリとスイッチトキャパシタ回路とを一個の半導体チップ上に設けた半導体装置の製造方法は、半導体基板表面にフィールド酸化膜を形成する工程と、このフィールド酸化膜の非形成領域にシリコン酸化膜を形成する工程と、このシリコン酸化膜およびフィールド酸化膜の上に多結晶シリコン膜を形成する工程と、この多結晶シリコン膜を選択的にエッチング除去して、抵抗素子を構成する第1の島状多結晶シリコン膜を形成すると同時に、半導体基板表面に形成したシリコン酸化膜の上に容量素子の一方の電極を構成する第2の島状多結晶シリコン膜を形成する工程と、抵抗素子を構成する第1の島状多結晶シリコン膜に選択的に不純物を導入する工程とを有することを特徴とするものである。

【0020】本発明の半導体装置は、発振回路とこの発振回路の発振周波数の計数を行う計数回路とからなる発振計数回路を2組備え、第1の発振回路と第2の発振回路とは発振周波数の温度特性が相異なるように構成し、第1の発振計数回路の出力により第2の発振計数回路の計数動作を制御して温度に対応したデジタル出力を発生する温度検出回路と、この温度検出回路のデジタル出力によるアドレッシングに応じたデータを出力するメモリ

と、このメモリの出力データを受けて開閉するスイッチ群と容量素子との直列接続を複数個並列に接続したスイッチトキャパシタ回路を含む水晶発振回路とで構成し、スイッチ群の開閉の組合わせてスイッチトキャパシタ回路の容量値を制御することにより水晶発振回路の発振周波数を調整する温度補償型発振回路を備え、第1の発振計数回路と、第2の発振計数回路と、メモリと、スイッチトキャパシタ回路とを一個の半導体チップ上に設けたことを特徴とするものである。

【0021】

【実施例】以下図面を用いて本発明の実施例を説明する。

【0022】まず本発明の実施例における半導体装置の構造を、図1を参照して説明する。

【0023】図1は本発明の半導体装置を示す断面図である。半導体基板111上に形成した抵抗素子140と、容量素子141と、P型MOSトランジスタ133と、N型MOSトランジスタ135と、不揮発性メモリトランジスタ137とから構成する。

【0024】発振回路は、抵抗素子140と、容量素子141と、MOSトランジスタとから構成する。

【0025】メモリは、不揮発性メモリトランジスタ137と、MOSトランジスタとから構成する。

【0026】スイッチトキャパシタ回路は、容量素子141と、MOSトランジスタとから構成する。

【0027】以上のように、発振回路と、メモリと、スイッチトキャパシタ回路とが半導体基板111上の一個の半導体チップに設けられている。したがって、構成が簡単になり、本発明の半導体装置を使えば、従来よりも部品点数が大幅に削減でき、遥かに小型で軽量の温度補償型発振器を得ることができる。

【0028】次に図1～図6を用いて本発明の半導体装置の製造方法を説明する。

【0029】まず図2に示すように、N型の半導体基板111に熱酸化法により二酸化シリコン酸化膜からなる不純物阻止膜113を、500nm～1000nmの厚さに形成する。

【0030】その後、フォトリソエッチング処理によりN型MOS(Metal Oxide Silicon)トランジスタと、容量素子と、不揮発性メモリトランジスタとを形成する領域に、開口部115、117、119を、不純物阻止膜113にそれぞれ形成する。その後、開口部115、117、119内の露出した半導体基板111の領域に、イオン注入法と熱拡散法とを用いて、P型の拡散領域121を形成する。

【0031】次に図3に示すように、イオン注入のマスクとして用いた不純物阻止膜113をエッチングして、すべて除去する。

【0032】その後、窒化膜で覆われた領域は酸化が行われず、窒化膜を形成していない領域は酸化されるとい

う現象を利用した、いわゆる選択酸化法により、半導体基板111のフィールド領域に、500nm～1000nmの厚さのフィールド酸化膜123を形成する。

【0033】その後、フィールド酸化膜123が形成されていない領域の選択酸化のマスクとして用いた窒化膜は、選択酸化処理の後、エッチングにより除去して、半導体基板111の清浄面125を露出させる。

【0034】その後、清浄面125に、熱酸化法と気相成長法とによりシリコン酸化膜-シリコン窒化膜-シリコン酸化膜からなる多層膜を10nmの厚さに形成する。次にこの多層膜をフォトリソエッチングにより選択的にエッチング除去して、不揮発性メモリトランジスタの形成領域にのみ島状に多層膜を形成する。この島状に形成した多層膜127を形成すると同時に、半導体基板111の清浄面125を再び露出させる。

【0035】次に図4に示すように、半導体基板111の清浄面125に熱酸化法により、シリコン酸化膜129を50nmの厚さに形成する。このとき不揮発性メモリトランジスタの形成領域である、島状の多層膜127の領域の半導体基板111の多層膜下領域130は、多層膜127を構成するシリコン窒化膜の酸化抑制作用によって、酸化されないまま保たれる。

【0036】次に図5に示すように、モノシランを反応ガスとして用いた気相成長法により多結晶シリコン膜131を半導体基板111の全面に形成する。

【0037】次に図6に示すように、この多結晶シリコン膜131をフォトリソエッチングにより所定の形状にエッチングする。この結果、P型MOSトランジスタ133と、N型MOSトランジスタ135と、不揮発性メモリトランジスタ137とのゲート電極157、161、163と、フィールド酸化膜123の上に第1の島状多結晶シリコン膜139と、シリコン酸化膜129の上に第2の島状多結晶シリコン膜159とをそれぞれ形成する。

【0038】その後、多結晶シリコン膜からなるゲート電極157、161、163と、第2の島状多結晶シリコン膜159とをエッチングマスクにして、シリコン酸化膜129をエッチングする。すなわち、ゲート電極157、161、163と、第2の島状多結晶シリコン膜159との下の領域にのみ、シリコン酸化膜129を形成する。

【0039】このときゲート電極157と、ゲート電極161との下に形成するシリコン酸化膜129は、それぞれP型MOSトランジスタ133と、N型MOSトランジスタ135とのゲート酸化膜として作用する。

【0040】一方ゲート電極163の下の領域に形成するシリコン酸化膜とシリコン窒化膜とシリコン酸化膜とからなる島状の多層膜127は、不揮発性メモリトランジスタ137のメモリゲート絶縁膜として作用する。この不揮発性メモリトランジスタは、ゲート電極163に

加えられる電圧にしたがって電荷を捕獲、あるいは放出する。

【0041】第1の島状多結晶シリコン膜139は、抵抗素子140として作用する。さらに第2の島状多結晶シリコン膜159は、容量素子141の一方の電極として作用し、第2の島状多結晶シリコン膜159の下に残るシリコン酸化膜129は、容量素子141の誘電膜として作用する。

【0042】次に不純物注入の阻止膜として作用するフォトレジスト膜（図示せず）を、半導体基板111上の全面に形成する。その後、露光現像処理により、第1の島状多結晶シリコン膜139上のフォトレジスト膜に開口を形成し、イオン注入法により第1の島状多結晶シリコン膜139に、選択的に所定の不純物を所定の不純物濃度に注入をする。

【0043】さらにその後、不純物注入の阻止膜として作用するフォトレジスト膜の形成工程とイオン注入工程とを繰り返し行い、P型不純物およびN型不純物を所定の領域に導入する。さらにその後、加熱処理を行い導入した不純物を拡散する。

【0044】このイオン注入処理工程と不純物拡散処理工程との結果、下記の不純物濃度の高い領域を形成する。P型MOSトランジスタ133のソース・ドレインとなる不純物濃度の濃いP型の拡散層145を形成する。さらにP型の拡散領域121と負の電源（電源電圧VSS）との電気的コンタクトを取るための、不純物濃度の濃いP型の拡散層151を形成する。さらに容量素子141の他方の電極である、半導体基板111の電気的コンタクトを取るための、不純物濃度の濃いP型の拡散層147を形成する。さらにN型MOSトランジスタ135と、不揮発性メモリトランジスタ137とのソース・ドレインとなる、不純物濃度の濃いN型の拡散層149、153を形成する。さらにN型の半導体基板111と正の電源（電源電圧VDD）との電気的コンタクトを取るための、不純物濃度の濃いN型の拡散層143を形成する。

【0045】ただし、このとき第1の島状多結晶シリコン膜139の領域は、常に不純物注入の阻止膜として作用するフォトレジスト膜で覆っておいて、不要な不純物の注入を防止する。

【0046】次に図1に示すように、リンガラス膜からなる層間絶縁膜165を気相成長法により、半導体基板111上の全面に形成する。

【0047】その後、フォトリソ処理によって、MOSトランジスタおよび不揮発性メモリトランジスタのソース・ドレインとゲートのコンタクトホール169と、P型の拡散層151のコンタクトホール177と、N型の半導体基板111のコンタクトホール167と、抵抗素子140のコンタクトホール171と、容量素子141の一方の電極のコンタクトホール173と、容量

素子141の他方の電極となる半導体基板111のP型の拡散領域121のコンタクトホール175とを、それぞれ層間絶縁膜165に形成する。

【0048】次にそれぞれのコンタクトホールを形成した層間絶縁膜165上の全面に、アルミニウム膜からなる導電性を有する金属膜179を、スパッタリング法にて形成する。

【0049】その後、金属膜179の不要な部分をフォトリソ処理によりエッチング除去し、MOSトランジスタのソース電極配線、ドレイン電極配線、ゲート電極配線、電源配線、抵抗素子140、および容量素子141の電極配線となる金属配線181を形成する。

【0050】次に本発明の実施例における半導体装置の構成と動作とを、図7を参照して説明する。

【0051】図7は本発明の半導体装置の構成を示す回路図である。

【0052】本発明の温度補償型発振器は、温度検出回路230と、スイッチトキャパシタ回路225を含む水晶発振回路214と、メモリ209と、デコード回路227とから構成する。

【0053】温度検出回路230は、第1の発振回路201と第1の計数回路204とから構成する第1の発振計数回路215と、第2の発振回路202と第2の計数回路205と制御回路203とから構成する第2の発振計数回路216と、パルス発生回路208と、データラッチ回路206とから構成する。

【0054】メモリ209は、不揮発性メモリトランジスタで構成する。

【0055】スイッチトキャパシタ回路225は、容量素子220と、半導体素子からなるスイッチ219とを直列に接続したスイッチトキャパシタ228の複数個から構成する。

【0056】水晶発振回路214は、帰還抵抗211と、インバータ212と、水晶振動子213と、発振コンデンサ210、218とから構成する。

【0057】以上の説明のように、図10に示す、従来例のサーミスタとA/Dコンバータとで構成した手段より行っていた温度のデジタル情報を得るための作用を、本発明の半導体装置は、温度検出回路230で温度のデジタル情報を得るための作用を行っている。

【0058】さらに、従来はD/Aコンバータとバリキャップダイオードとで構成した手段により行っていたデジタル出力による発振周波数の制御を、本発明の半導体装置は、スイッチトキャパシタ回路225でデジタル出力による発振周波数の制御を行っている。

【0059】このため従来例に比較して構成が簡単で、広い温度範囲にわたって高い発振周波数精度を達成することができる。

【0060】図7に示す、第1の発振回路201と第2の発振回路202とは、それぞれの発振周波数が、それ

10

20

30

40

50

それ異なる温度依存性を有している。これら第1の発振回路201と第2の発振回路202としては、たとえばマルチバイブレータ、リング発振回路等を用いることができ、その発振周波数の温度依存性は、容量素子と抵抗素子により定められる時定数の温度依存性に依拠している。

【0061】第1の計数回路204と第2の計数回路205とは、直列に接続したそれぞれM個およびN個のフリップフロップ回路により、構成している。

【0062】第1の発振計数回路215は、第1の発振回路201と、この第1の発振回路201からの発振パルスを計数できるように、第1の発振回路201に接続する第1の計数回路204とから構成している。

【0063】第2の発振計数回路216は、第2の発振回路202と第2の計数回路205とによって構成する。この第2の計数回路205は、第2の発振回路202からの発振パルスを、第1の計数回路204を構成する最終段の1段前のフリップフロップ、すなわちM-1段目のフリップフロップの出力により、制御する制御回路203を通して計数できるように、第2の発振回路202に制御回路203を経由して接続する。

【0064】また第2の計数回路205は、第1の計数回路204を構成する最終段のフリップフロップ、すなわち、M段目のフリップフロップの出力によってリセットするようになっている。

【0065】したがって第1の計数回路204が、第1の発振回路201から $2^{(M-2)}$ 個のパルスを計数している間に、第2の計数回路205が第1の発振回路201から計数したパルスの数は、第2の計数回路205を構成するN個のフリップフロップ回路の出力としてデジタル出力する。

【0066】第1の発振回路201および第2の発振回路202のそれぞれの発振周波数の温度依存性が互いに異なっているから、上記の第2の計数回路205によって計数したパルスの数も温度依存性を持つ。すなわち第2の計数回路205のデジタル出力値は、温度に対して変化する。

【0067】第2の計数回路205に接続する制御回路203が、第1の計数回路204を構成するM-1段目のフリップフロップ回路の出力により閉じた直後に、パルス発生回路208が、第1の計数回路204を構成するフリップフロップ回路の中の2段目と、M-1段目と、M段目との3つのフリップフロップ回路からの出力により1個のパルスを発生する。

【0068】このパルス発生回路203からの発生パルスによってデータラッチ回路206が、第2の計数回路205を構成している直列に接続したN個のフリップフロップ回路から出力信号を読み込み、この出力信号を保持する。すなわち温度検出回路230を構成している。

【0069】データラッチ回路206の出力は、メモリ

209のアドレスバス207に接続する。データラッチ回路206の保持している出力は、メモリ209のアドレスバス207に出力し、メモリ209をアドレッシングする。

【0070】メモリ209は、このメモリ209のアドレスに格納されているデータをデータバス217に出力する。

【0071】このデータバス217は、デコード回路227の入力に接続する。

【0072】デコード回路227は、データバス217の出力に応じて、スイッチトキャパシタ回路225を構成する複数のスイッチトキャパシタ228に、直列に接続した半導体素子で構成するスイッチ群229を、選択的に開閉する。

【0073】またこれらの複数のスイッチトキャパシタ228は、水晶発振回路214の発振コンデンサ218に並列に接続している。

【0074】水晶発振回路214は、発振コンデンサの容量の変化に応じてその発振周波数が変化する。上記のスイッチ群229の各スイッチ219をデータバス217のデータにより選択的に開閉すれば、発振コンデンサ218に並列に接続される容量素子220の数が変化する。

【0075】なおここで、スイッチトキャパシタ228の容量素子220のそれぞれを、デコード回路227からの信号線の重みに準じて容量値が約2倍ずつ変わるようにしておけば、発振コンデンサ218に並列に接続している容量値を幅広く変化させることができる。

【0076】上記のようにスイッチ群229の各スイッチ219を選択的に開閉すれば、発振コンデンサ218に並列に接続している容量素子220の数が変化するので、等価的に発振コンデンサ218の容量値が変化したことになる。したがって水晶発振回路214の発振周波数を変化させることができる。

【0077】したがって温度検出回路230からの温度情報のデジタル値によって、メモリ209をアドレッシングした時に、このアドレスに格納されているメモリ209のデータにより、デコード回路227を介して選択されるスイッチトキャパシタ228の容量素子220の容量値が、その温度における水晶発振回路214の発振周波数の変化量を打ち消すようにメモリ209にデータを書き込んでおけば、水晶発振回路214の発振周波数は温度の影響を受けることなく一定となる。

【0078】なお本実施例においては、計数およびデータラッチは、第1の計数回路204の1周期に1回行われる。

【0079】図8は本発明による温度補償の効果を示すためのグラフである。この図8のグラフの縦軸が発振周波数の変動を表し、横軸が温度を表わしている。

【0080】図8において、曲線242は本発明による

温度補償後の発振周波数の変動と温度との関係を表わし、曲線240は温度補償をする前の発振周波数の変動と温度との関係を表わしている。図8のグラフから本発明においては、広い温度範囲にわたって発振周波数の変動がほとんどないことがわかる。

【0081】第1の発振計数回路215と第2の発振計数回路216との温度特性が異なっていれば、本発明は所定の効果を得ることができる。

【0082】しかしながら、第1の発振計数回路215は、計数時間を定めるものであるから、温度によって発振周波数が変化しない方が、第2の発振計数回路216の計数時間が一定となり好都合である。これは温度補償型発振回路の発振出力を、直接、もしくは分周したものを第1の発振計数回路215の発振回路として用いれば、容易に実現することができる。ただし温度補償型発振回路といえども僅かな温度変化は存在するから、その温度変化量に比べて第2の発振計数回路216の温度変化量が遙かに大きいことが前提である。

【0083】前述の水晶発振回路の発振出力を第1の発振計数回路の発振回路として用いた実施例を図9に示す。図9においては、図7と同一の構成要素には、同一番号を付し、説明は省略する。

【0084】図9に示す本発明の第2の実施例の半導体装置において、図7に示す本発明の第1の実施例の構成と異なる点は、水晶振動子213を含む温度補償を行った水晶発振回路214の発振出力を分周回路250で分周し、その分周回路250の出力を第1の発振計数回路215に帰還して入力している点である。なお水晶発振回路214の発振出力を分周せずに、水晶発振回路214の発振出力を第1の発振計数回路215に直接帰還し

入力しても良い。

【0085】なお本発明の実施例における水晶発振回路の代わりに、その他の発振回路、たとえばリング発振回路、CR発振回路等を用いても同様な効果が得られるのは言うまでもない。

【0086】またさらに、メモリは不揮発性メモリトランジスタによって構成する例を示したが、不揮発性メモリトランジスタの代わりにマスクROM、電池動作のスタティックRAM等を用いても同様な効果が得られる。

【0087】

【発明の効果】以上の説明のように本発明においては、サーミスタからなる温度検出装置と、このサーミスタの抵抗変化を電圧変化に変換するための定電流源と、デジタル出力を得るためのA/Dコンバータと、アナログ電圧を得るためのD/Aコンバータと、発振周波数を調整するためのバリキャップダイオードとを必要としない。さらに温度補償発振回路を構成するすべての構成要素を

1つの半導体チップ上に設けている。

【0088】したがって、本発明における温度補償型発振回路は、従来例に比べて、構成が簡単で、さらに占有する面積および体積を大幅に小さくすることができるので、多くの分野へ応用することが可能である。とくに携帯用の移動無線装置のような小型であることを要求される装置へ応用した場合、その効果は極めて大きい。

【図面の簡単な説明】

【図1】本発明の半導体装置における構成と製造方法とを示す断面図である。

【図2】本発明の半導体装置における構成を形成するための製造方法を示す断面図である。

【図3】本発明の半導体装置における構成を形成するための製造方法を示す断面図である。

【図4】本発明の半導体装置における構成を形成するための製造方法を示す断面図である。

【図5】本発明の半導体装置における構成を形成するための製造方法を示す断面図である。

【図6】本発明の半導体装置における構成を形成するための製造方法を示す断面図である。

【図7】本発明の半導体装置における構成を示す回路図である。

【図8】本発明と従来例とにおける温度と発振周波数の変動との関係を示すグラフである。

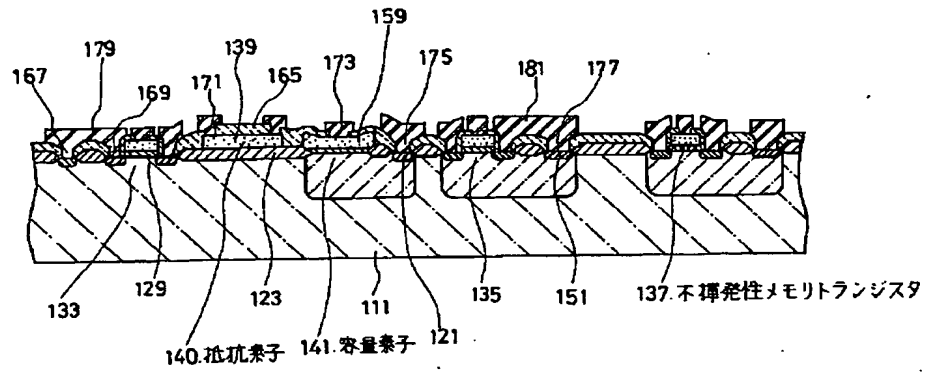
【図9】本発明の他の実施例における半導体装置の構成を示すための回路図である。

【図10】従来例における温度補償型発振回路を示す回路図である。

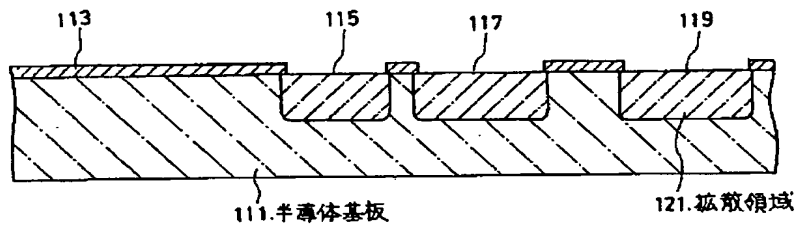
【符号の説明】

111 半導体基板
123 フィールド酸化膜
129 シリコン酸化膜
131 多結晶シリコン膜
137 不揮発性メモリトランジスタ
140 抵抗素子
141 容量素子
201 第1の発振回路
202 第2の発振回路
204 第1の計数回路
205 第2の計数回路
209 メモリ
214 水晶発振回路
215 第1の発振計数回路
216 第2の発振計数回路
225 スイッチトキャパシタ回路
230 温度検出回路
250 分周回路

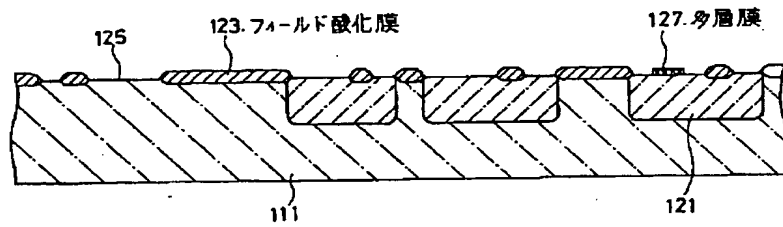
【図1】



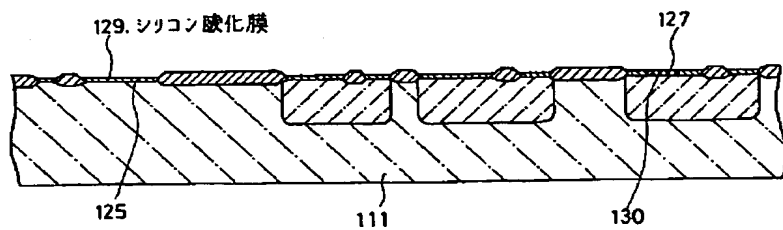
【図2】



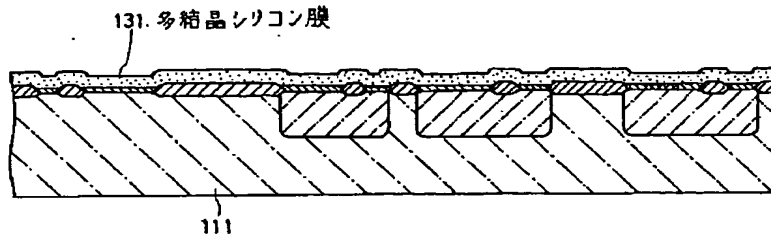
【図3】



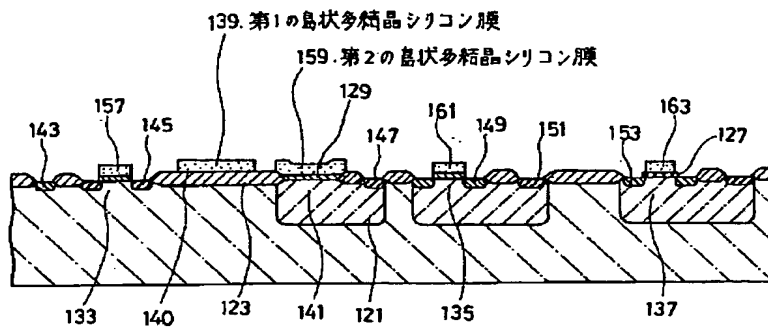
【図4】



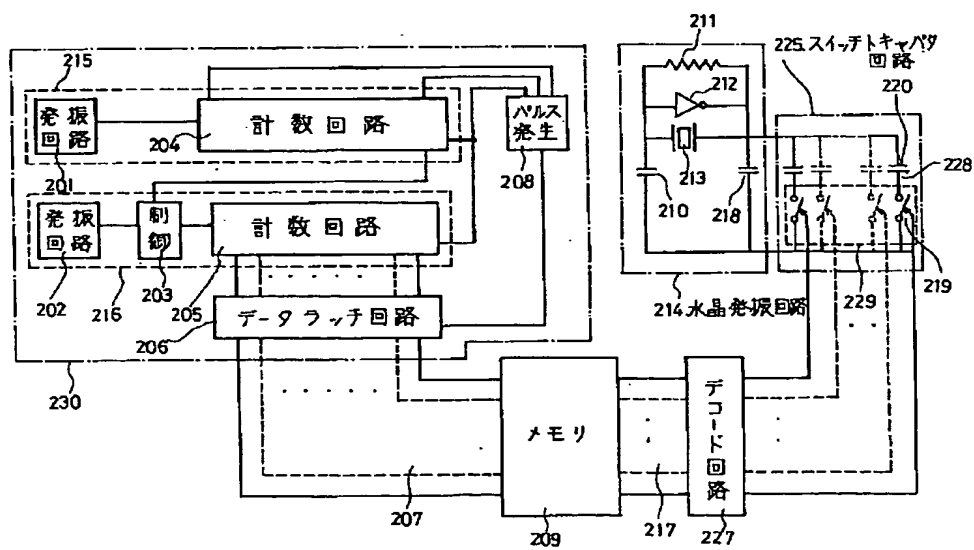
【図5】



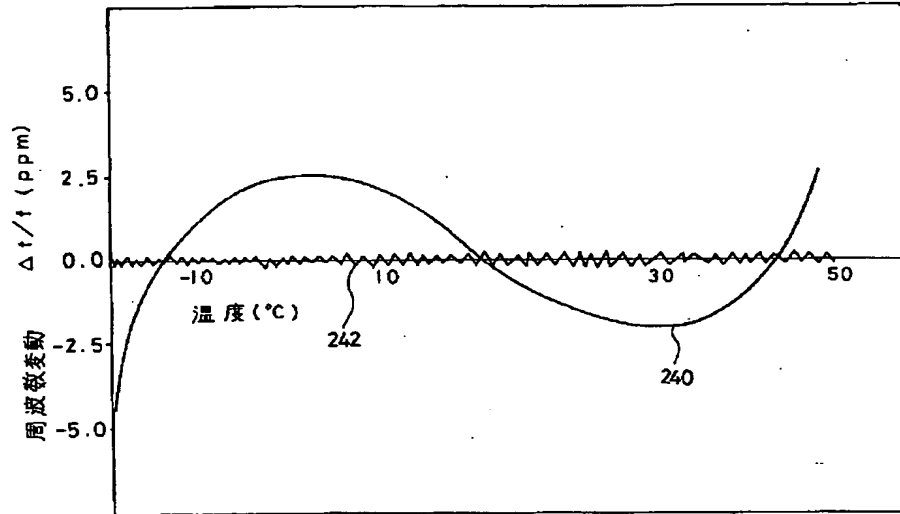
【図6】



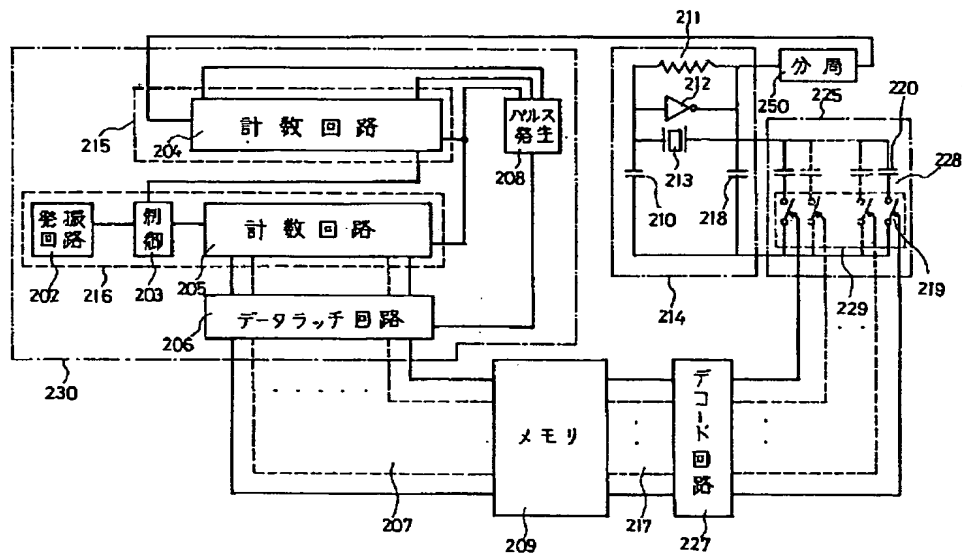
【図7】



【図8】



【図9】



【図10】

